

042205

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 4 月 15 日 (15.04.2004)

PCT

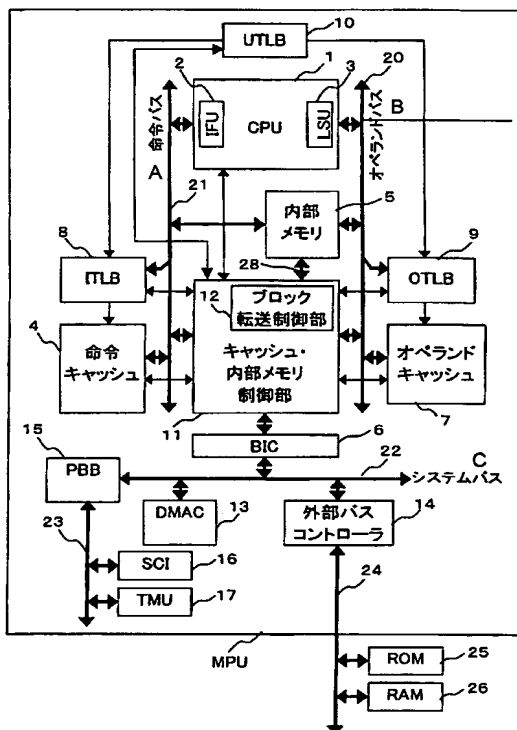
(10) 国際公開番号
WO 2004/031943 A1

- (51) 国際特許分類: G06F 9/30, 12/02, 12/06, 12/08, 12/10, 13/28
- (21) 国際出願番号: PCT/JP2002/010161
- (22) 国際出願日: 2002 年 9 月 30 日 (30.09.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 亀井 達也 (KAMEI, Tatsuya) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 伊藤 雅之 (ITO, Masayuki) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP).
- (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地 新山城ビル42号 Tokyo (JP).

[続葉有]

(54) Title: DATA PROCESSOR

(54) 発明の名称: データプロセッサ



- A...INSTRUCTION BUS
B...OPERAND BUS
5...INTERNAL MEMORY
4...INSTRUCTION CACHE
12...BLOCK TRANSFER CONTROL UNIT
11...CACHE/INTERNAL MEMORY CONTROL UNIT
7...OPERAND CACHE
C...SYSTEM BUS
14...EXTERNAL BUS CONTROLLER

(57) Abstract: In order to increase the speed and improve the efficiency of the data transfer between an internal memory (5) and an external memory (25, 26) accessible by a CPU, a block transfer control unit (12) can start block transfer in response to a particular instruction execution by the CPU. The particular instruction is such that when an address specified in its address specification field is an address mapped into the internal memory, the logical address is defined as the address of the data block transfer origin or the transfer destination. The internal memory is allocated to a part of a virtual address space and correspondence with the physical address space to which the external memory as the other address is allocated, by using a TLB when MMU is ON and a predetermined register when the MMU is OFF.

(57) 要約: CPUによってアクセス可能な内部メモリ(5)と外部メモリ(25, 26)との間のデータ転送を高速化、高効率化するために、CPUによる特定の命令実行にตอบสนองしてブロック転送制御部(12)にブロック転送を起動可能にする。特定の命令はそのアドレス指定フィールドで指定されたアドレスが内部メモリにマッピングされたアドレスであるとき当該論理アドレスをデータブロック転送の転送元又は転送先の一方向のアドレスとする命令である。内部メモリは仮想アドレス空間の一部に割り付けられ、他方のアドレスとされる外部メモリが割り付けられる物理アドレス空間との対応は、MMUオンの場合にはTLBを用いて、MMUオフの場合には所定のレジスタにより行う。

WO 2004/031943 A1



(81) 指定国 (国内): CN, JP, KR, SG, US.

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

データプロセッサ

5 技術分野

本発明は、CPU（中央処理装置）によってアクセス可能な内部メモリを有するデータプロセッサ、特にその内部メモリに対するブロック転送制御に関し、例えば前記内部メモリをキャッシュ非対象とするキャッシュメモリを有するマイクロプロセッサに適用して有効な技術に関する。

背景技術

マイクロプロセッサにおいてはメモリアクセス性能を向上させる為、キャッシュメモリを内蔵することが一般的である。しかしキャッシュメモリは頻繁にアクセスされる命令やデータを扱うには適しているが、一旦使われた後にはすぐに不要となるようなデータに対してはあまり効果的ではない。画像処理や音声処理などの用途ではこのような一過性のデータを大量に扱うことが多いが、これらのデータをキャッシュメモリを使ってアクセスしようとする、キャッシュメモリの容量は限られている為、本来キャッシングされているはずの、よりキャッシュメモリに適したデータを追い出してしまうことになり、全体として効率が低下してしまう。そのためこれらのデータを高速に扱うには、キャッシュメモリ以外に内部メモリを持つことが望ましい。

またキャッシュメモリを用いる場合、CPU（中央処理装置）からのアクセス性能を平均的に向上させることができるが、キャッシュメモリはそれまでのアクセス履歴によりヒット／ミスが変わる為、実行時間の

予測が困難となり、厳密なリアルタイム制御には向かない場合もある。
リアルタイム制御のような用途では、キャッシュメモリではない固定的な内部メモリに記憶情報（命令又はデータ）を格納しておくことが望ましい。キャッシュメモリの代わりに若しくはキャッシュメモリの他の
5 上記観点による内部メモリを持つ場合には、内部メモリと外部メモリ間のデータ転送の高速化、高効率化が重要である。

本発明者の検討によれば、DMA C（ダイレクト・メモリ・アクセス・コントローラ）による転送制御はブロック転送であり、転送中CPUは別の処理を行うことができるから、転送効率が良い。しかしながら、DMA Cの動作とCPUの処理の同期化（データ転送の条件設定、起動、終了待ち）を必要とする為、転送量が小さい場合には特にこの同期化のオーバーヘッドが顕著になることが明らかにされた。また、ブロック転送命令を用いる場合にもその転送処理によってCPUが占有される期間が長くなればDMA Cを用いる場合と同様にオーバーヘッドが大きくなる。そのようなブロック転送命令を専用化すれば処理の最適化を図り易いが新たな命令コードの追加が不可能な場合、或いは新たな命令コードの追加による不都合を生ずる場合もある。

本発明の完成後に行った特許調査により以下の文献が見出された。特開2000-231550号公報には、ロード／ストア命令を実行可能なロード／ストア命令実行部を有するマイクロコンピュータに、ロード／ストア命令実行部によるデータの読み書きが可能で、且つ外部メモリとの間でDMA（ダイレクト・メモリ・アクセス）転送可能なRAM（ランダム・アクセス・メモリ）を設けることが記載される。また、上記特許公報（第76段落）には、キャッシュ以外の特殊な用途に使用されるRAMをアクセスするのにロード／ストア命令に代えて専用のブロック転送命令等を用いてもよい、とある。このブロック転送命令のオペレ
20
25

ーションについて何ら開示は無い。

本発明の目的はCPUによってアクセス可能な内部メモリと外部メモリとの間のデータ転送を高速化、高効率化することができるデータプロセッサを提供することにある。

- 5 本発明の別の目的は、キャッシュメモリ以外にCPUによってアクセス可能な内部メモリを持つ場合に、内部メモリと外部メモリ間のデータ転送の高速化と高効率化を実現できるデータプロセッサを提供することにある。

- 10 本発明の更に別の目的は、CPUによってアクセス可能な内部メモリと外部メモリ間のデータ転送に関し、ロード／ストア命令による場合には転送データをCPUが取り込まなければならない点でその間にCPUは別の処理を行うことができないということ、DMACによる場合には転送量が小さいと同期化のオーバーヘッドが大きくなること、の双方を解決することができるデータプロセッサを提供することにある。

- 15 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

- 20 〔1〕先ずここで、本願において開示される発明のうち代表的なものについてその概要を説明する。

- 25 CPUによってアクセス可能な内部メモリと外部メモリとの間のデータ転送を高速化、高効率化するために、CPUの特定の命令によりブロック転送を起動可能にする。特定の命令とは、アドレス指定フィールドを有し、このアドレス指定フィールドに指定されたアドレスが前記内部メモリにマッピングされたアドレスであるとき当該アドレスをデータブロック転送の転送元又は転送先の一方のアドレスとする命令であ

る。データブロック転送の他方のアドレスは例えば外部メモリのアドレスとなる。外部メモリのアドレスは直接命令で指定されず、後述の如くアドレス指定フィールドの記述に対するアドレス変換等で得る。前記内部メモリがキャッシュメモリと同じ階層に設けられている場合、前記特定の命令はキャッシュメモリのプリフェッチ、ライトバック用に用意されているプリフェッチ命令、ライトバック命令を流用する。キャッシュメモリのためのプリフェッチ命令、ライトバック命令はブロック転送のトリガであり、転送が開始された後でも、CPUは後続して命令の実行が可能である。キャッシュメモリにおけるプリフェッチ命令のアドレッシングモードは例えばレジスタ間接であり、その命令で指定された汎用レジスタが保有するアドレスに対してキャッシュミスであれば当該アクセスアドレスのデータをキャッシュメモリにフィル(1エントリ分のデータを書き込む)する。ライトバック命令は例えばその命令で指定された汎用レジスタが保有するアドレスに対してキャッシュヒットで且つそのキャッシュエントリがダーティである場合にキャッシュヒットに係るキャッシュエントリデータをライトバック(書き戻し)させる。

プリフェッチ命令やライトバック命令を流用する特定の命令実行において内部メモリはキャッシュ非対象である。例えばこのとき、前記一方のアドレスとされる内部メモリは仮想アドレス(論理アドレス)空間の一部に割り付けておき、他方のアドレスとされる外部メモリが割り付けられている物理アドレス空間との対応は、MMU(メモリ・マネジメント・ユニット)オンの場合には上記内部メモリのアドレスに対してTLB(アドレス変換バッファ)を用いたアドレス変換で行い、MMUオフの場合には所定のレジスタにより行う。プリフェッチ命令、ライトバック命令を流用する特定命令はプリフェッチ命令、ライトバック命令と同じオペレーションコードを有する。そのオペレーションコードがキ

キャッシュメモリの操作として作用するか、内部メモリに対する操作として作用するかは命令実行時にCPUの汎用レジスタにより与えられる仮想アドレスで決まる。要するに、アドレスフィールドがキャッシュ対象エリア（キャッシュابلエリア）を指定すれば前者であり、アドレス

5 フィールドがキャッシュ非対象エリア（ノンキャッシュابلエリア）を指定すれば後者となる。CPUはその特定命令を解読するとその解読結果に応じて、内部メモリのブロック転送制御が可能な制御部にブロック転送制御のアクセスコマンドを発行する。プリフェッチ命令を流用する特定命令の場合、ディスティネーションアドレスは例えば命令で指定の

10 仮想アドレス、ソースアドレスは命令で指定のアドレス値に対するTLB利用の物理アドレスとされる。ライトバック命令を流用する特定命令の場合、上記とは逆に、ソースアドレスは例えば命令で指定の仮想アドレス、ディスティネーションアドレスは命令で指定のアドレス値に対するTLB利用の物理アドレスとされる。ブロック転送制御において転送

15 元及び転送先アドレスの先頭アドレス以外のアドレスは制御部内でインクリメント若しくはデクリメントされて生成される。

上記手段により、内部メモリと外部メモリとの間のデータ転送を高速化できる。ブロック転送サイズを32バイトとすると、従来のCPU命令による転送だと、例えば32バイトのデータを転送するのに、32ビット転送命令を16回（ロード8回、ストア8回）実行することが必要

20 だったのに対し、1命令で転送可能となる。内部メモリと外部メモリとの間のデータ転送を必要とするプログラム記述も短くなる。更に、そのようなブロック転送にDMACを必要としないから、転送量の多少に拘わらず同期化のオーバーヘッドは大きくなる。したがって、CPU

25 によってアクセス可能な内部メモリと外部メモリとの間のデータ転送を高速化、高効率化することができる。

内部メモリを複数メモリマット（複数のページ）に分割しておき、あるページに対してブロック転送を実行中に、他のページに対するCPUからのアクセスを受付可能にしてよい。これにより、あるページに対してブロック転送を実行中に、別のページに対してはCPUが自由にアクセスできる為、ソフトウェアパイプライン処理などのプログラムの最適化の効果が高くなる。

更に、前記ブロック転送を起動する為の特定命令のオペレーションコードがキャッシュメモリのプリフェッチ（ライトバック）用の命令と同一であり、仮想アドレスと物理アドレスの対応付けには通常の外部メモリに対するのと同じようにTLBを利用することにより、プログラム作成時に、キャッシュメモリを利用するか、内部メモリを利用するかの選択が容易になる。なぜならばその選択にはプログラムがアクセスする仮想アドレスをキャッシュابلエリア或いはノンキャッシュابلエリアの何れかに設定するだけでよいからである。よって、プログラムデバッグ或いはシステムデバッグの結果に従ってプログラムがアクセスする仮想アドレスをキャッシュابلエリアとノンキャッシュابلエリアとの間で変更することも簡単である。

上記データプロセッサによれば画像や音声などのストリーミングデータを扱うのに適した構成となり、例えば従来100MHzで動かさなければ実現できなかった処理が、より低い周波数で実現可能となり、低消費電力化可能となる。面積削減の観点からは、従来搭載していたDMACを省略することも可能になり、そうすることにより、より小さな面積でCPUによってアクセス可能な内部メモリと外部メモリとの間のデータ転送を高速化、高効率化することができる。

〔2〕本発明を態様毎に更に詳述する。データプロセッサは、CPUと、前記CPUによってアクセス可能な内部メモリと、前記CPUが発行す

る特定のアクセス要求に応答して前記内部メモリを一の転送対象とするブロック転送制御が可能な制御回路とを有し、前記CPUの命令セットは前記特定のアクセス要求を発行させる特定の命令を含み、当該特定の命令はアドレス指定フィールドを有し、このアドレス指定フィールドに指定されたアドレスが前記内部メモリにマッピングされたアドレスであるとき当該アドレスを前記ブロック転送の転送元又は転送先の一方のアドレスとする。

前記ブロック転送の転送元又は転送先の他方のアドレスは、例えば前記アドレス指定フィールドが保有する論理アドレスに対応する物理アドレス、或はレジスタが保有する物理アドレスである。そのレジスタは例えばCPUのアドレス空間にマッピングされ、CPUによって設定可能にされる。外部バスアクセスを考慮すると、前記制御回路に接続されたバスインタフェースコントローラを有し、前記バスインタフェースコントローラに前記ブロック転送の他の転送対象に対するインタフェース制御をさせればよい。

キャッシュメモリを有する場合には、当該キャッシュメモリは前記CPU、内部メモリ、及び制御回路と第1バスを共有するのがよい。前記内部メモリは前記キャッシュメモリによるキャッシュ非対象のアドレスに配置されるのがデータ処理上望ましい。このとき、前記制御回路と前記内部メモリの接続に専用化された第2バスを有し、前記第2バスは前記特定のアクセス要求に応答するデータのブロック転送に利用可能にされるのがよい。制御回路が内部メモリに対するブロック転送を行っている最中にCPUは第1バスを介してキャッシュメモリをアクセスすることができる。前記制御回路は前記キャッシュメモリのキャッシュヒットとキャッシュミスに対するメモリ制御も併せて行うのがよい。

前記特定の命令にキャッシュメモリの操作命令を流用することに着

目する。例えば第 1 及び第 2 のキャッシュメモリ操作命令を流用する。

前記第 1 のキャッシュメモリ操作命令は、アドレス指定フィールドで指定されたキャッシュ対象アドレスのデータについて、当該キャッシュミ
スに係るキャッシュエントリに対し、外部からデータを書き込む操作を

させる。前記第 2 のキャッシュメモリ操作命令は、アドレス指定フィールドで指定されたキャッシュ対象アドレスにつきキャッシュヒットである場合で当該キャッシュヒットに係るキャッシュエントリがダーティである場合に、ライトバックの操作をさせる。このとき、前記特定の

命令は第 1 のキャッシュメモリ操作命令と同じオペレーションコードを有し、アドレス指定フィールドのキャッシュ非対象のアドレスをディステーションアドレスとする。また、前記特定の命令は第 2 のキャッシュメモリ操作命令と同じオペレーションコードを有し、アドレス指定フィールドのキャッシュ非対象のアドレスをソースアドレスとする。

前記バスインタフェースコントローラに接続されるDMA Cを有してもよい。前記バスインタフェースコントローラに接続される外部バス接続用の外部インタフェース回路を有してよい。

図面の簡単な説明

第1図は本発明に係るデータプロセッサの一例であるマイクロプロセッサを示すブロック図である。

第2図は特定の命令の命令フォーマットを例示する説明図である。

第3図はマイクロプロセッサMPUのアドレス空間を例示するアドレスマップである。

第4図は特定命令による処理で物理アドレスを指定するための物理アドレス生成手段を例示するブロック図である。

第5図はP R E F命令による外部メモリから内部メモリへの転送動

作タイミングを例示するタイミングチャートである。

第 6 図は O C B W B 命令による内部メモリから外部メモリへの転送動作タイミングを例示するタイミングチャートである。

5 第 7 図は記憶領域を 2 ページに分けた内部メモリの構成を例示するブロック図である。

第 8 図は内部メモリの 2 個のページに対する並列動作タイミングを例示するタイミングチャートである。

10 第 9 図はキャッシュメモリを命令とオペランド混在のユニファイドキャッシュメモリで構成したマイクロプロセッサの要部を例示するブロック図である。

第 10 図は更に別のマイクロプロセッサとしてキャッシュメモリ及び T L B を搭載しない例を示すブロック図である。

発明を実施するための最良の形態

15 第 1 図には本発明に係るデータプロセッサの一例であるマイクロプロセッサが示される。同図に示されるマイクロプロセッサ M P U は、中央処理装置 (C P U) 1 を有し、 C P U 1 は命令フェッチユニット (I F U) 2 を介して命令バス 2 1 に接続され、ロードストアユニット (L S U) 3 を介してオペランドバス 2 0 に接続される。命令バス 2 1 には
20 命令キャッシュメモリ 4 及び命令用アドレス変換バッファ (I T L B) 8 が接続され、オペランドバス 2 0 にはオペランドキャッシュメモリ 7 及びオペランド用アドレス変換バッファ (O T L B) 9 が接続される。前記 I T L B と O T L B 9 の 2 次キャッシュとして位置付けられるユニファイドアドレス変換バッファ (U T L B) 10 が設けられる。前記
25 命令バス 2 1 及びオペランドバス 2 0 の双方には内部メモリ 5 と制御部としてのキャッシュ・内部メモリ制御部 11 が接続される。

キャッシュ・内部メモリ制御部 11 はバスインターフェースコントローラ (BIC) 6 を介してシステムバス 22 に接続される。システムバス 22 にはダイレクト・メモリ・アクセス・コントローラ (DMAC) 13、周辺バスブリッジ回路 (PBB) 15、外部バスコントローラ 14 が接続される。周辺バスブリッジ回路 (PBB) 15 には周辺バス 23 を介してシリアル・コミュニケーション・インタフェースコントローラ (SCI) 16 及びタイマユニット (TMU) 17 等が設けられる。外部バスコントローラ 14 には外部バス 24 を介してリード・オンリ・メモリ (ROM) 25 及びランダム・アクセス・メモリ (RAM) 26 が接続される。また図示はしないが外部バスを介してASICや、更にPCIインタフェースを介してメモリ等が接続されても良い。

前記CPU 1 には命令バス 21 に対して命令フェッチを発行する命令フェッチユニット 2 とロード・ストア命令実行時にオペランドバス 20 に対してアクセスを発行するロードストアユニット 3 を有する。CPU 1 はその他に、それぞれ図示を省略するところの命令のデコード及び実行スケジュール等の処理を行う命令フローユニット、実行ユニット及び浮動小数点演算ユニットを有する。マイクロプロセッサMPUはパイプライン方式で命令を実行し、例えば命令フェッチ、デコード、実行、及びメモリアクセス等のパイプラインステージを単位として処理を進める。そのパイプラインステージの実行スケジューリングは前記命令フローユニットが制御する。更にCPU 1 は、キャッシュ・内部メモリ制御部に対し、例外処理信号等の制御信号を出力可能とされる。

命令フェッチユニット 2 により発行された命令フェッチリクエストは、仮想アドレスによってアクセス先が異なり、それぞれ命令キャッシュメモリ 4 にアクセスする場合、内部メモリ 5 にアクセスする場合、バスインタフェースコントローラ 6 を経由してシステムバス 22 に直接

アクセスに行く場合がある。

ロードストアユニット 3 により発行されたオペランドアクセスリクエストは、命令フェッチの場合と同様に、仮想アドレスによってアクセス先が異なり、オペランドキャッシュメモリ 7 にアクセスする場合、内部メモリ 5 にアクセスする場合、バスインタフェースコントローラ 6 を
5 経由してシステムバス 2 2 に直接アクセスに行く場合がある。

命令バス 2 1、オペランドバス 2 0 のアドレスは共に仮想アドレスであり、システムバス 2 2 のアドレスは物理アドレスである。仮想アドレスから物理アドレスへの変換は、命令バス 2 1 からの場合は I T L B 8
10 で、オペランドバス 2 0 からの場合は O T L B 9 で行われる。I T L B 8、O T L B 9 はともに U T L B 1 0 のうち、頻繁に参照される一部のエントリをキャッシングしているいわゆるマイクロ T L B である。

キャッシュ・内部メモリ制御部 1 1 は命令バス 2 1、オペランドバス 2 0 それぞれの動きに合わせて I T L B 8、命令キャッシュメモリ 4、
15 O T L B 9、オペランドキャッシュメモリ 7、U T L B 1 0、及び内部メモリ 5 の制御を行う。前記キャッシュメモリ 4、7 はダイレクトマップ或いはセットアソシアティブ形式の連想メモリ構造を有し、インデックスは論理アドレスによって行なわれ、タグの比較は T L B によって変換された物理アドレスに対して行なわれる。要するに、キャッシュメモリ 4、7 が保有するタグ情報は物理アドレス情報とされる。
20

キャッシュ・内部メモリ制御部 1 1 にはブロック転送制御部 1 2 が設けられる。ブロック転送制御部 1 2 はオペランドバス（第 1 バス）2 0 に内部メモリ 5、命令キャッシュメモリ 4、又はオペランドキャッシュ 7 に対するブロック転送コマンドが発行された場合、そのブロック転送
25 を制御する。それらブロック転送制御の詳細は後述する。

内部メモリ 5 は命令バス 2 1 からのアクセス、オペランドバス 2 0 か

らのアクセス、ブロック転送制御部 12 からのアクセス、B I C 6 経由のシステムバス 22 からのアクセスを処理可能である。内部メモリ 5 はキャッシュ・内部メモリ制御部 11 と専用バス（第 2 バス）28 で接続される。専用バス 28 はブロック転送制御部 12 により内部メモリ 5 を転送元又は転送先とするブロック転送に専用化される。内部メモリ 5 は複数ページに分かれており、それぞれのページが独立に動作可能な構成になっている。詳細は後述する。

DMA C 13 は B I C 6 経由で内部メモリ 5 をアクセス可能であり、外部バスコントローラ 14 により制御される外部メモリ 25, 26 と内部メモリ 5 との間の転送を制御することができる。DMA C 13 を用いる内部メモリと外部メモリ間の転送制御には CPU 1 が命令を実行して DMA C 13 内部のアドレスレジスタや転送カウンタレジスタ、制御レジスタ等に転送条件を設定することが必要である。

これに対し、前記ブロック転送制御部 12 による内部メモリ 5 と外部メモリ 25, 26 間の転送制御は CPU 1 が特定の命令を実行してオペランドバス 20 を介して前記ブロック転送制御部 12 に特定のアクセスコマンドが発行されればよい。上記特定の命令によるブロック転送制御について以下に説明する。

特定の命令とは、第 2 図に例示されるようにオペレーションコード（OP）の指定フィールド F L D 1 とアドレス指定フィールド F L D 2 を有し、このアドレス指定フィールド F L D 2 に指定されたアドレスが前記内部メモリ 5 にマッピングされたアドレスであるとき当該アドレスをデータブロック転送の転送元又は転送先の一方のアドレスとする命令である。マイクロプロセッサ M P U において内部メモリ 5 はキャッシュメモリ 7 と同じ階層に設けられているので、前記特定の命令にはキャッシュメモリのプリフェッチ、ライトバック用に用意されているプリ

フェッチ命令、ライトバック命令を流用する。

第3図にはマイクロプロセッサMPUのアドレス空間が例示される。仮想アドレス空間31はキャッシュابل領域(キャッシュابلエリア)32と非キャッシュابل領域(ノンキャッシュابلエリア)33に分かれており、内部メモリ5は非キャッシュابل領域33の一部にマッピングされている。

キャッシュメモリのためのプリフェッチ命令、ライトバック命令はブロック転送のトリガであり、転送が開始した後でも、CPU1は後続して命令の実行が可能である。例えばプリフェッチ命令のアドレッシングモードは例えばレジスタ間接(@Rn)であり、その命令で指定された汎用レジスタ(Rn)が保有するキャッシュابلエリアのアドレスに対してキャッシュミスであれば当該アクセスアドレスのデータをキャッシュメモリにフィルする。ライトバック命令は例えばその命令で指定された汎用レジスタが保有するキャッシュابلエリアのアドレスに対してキャッシュヒットで且つそのキャッシュエントリがダーティである場合にキャッシュヒットに係るキャッシュエントリデータをライトバックさせる。

前記プリフェッチ命令、ライトバック命令は、レジスタ間接で指定するアドレスがノンキャッシュابلエリアのアドレスであることを条件に、前記特定の命令とされる。特定命令もここではプリフェッチ命令(PREF命令とも記す)、ライトバック命令(OCBWB命令とも記す)と称する。内部メモリ5をアクセスするためのPREF命令の転送先アドレス、OCBWB命令の転送元アドレスは命令のアドレス指定フィールドで指定される汎用レジスタRnにて与えられる仮想アドレスで指示される。

PREF命令の転送元アドレス、OCBWB命令の転送先アドレスは

外部メモリを指し示す必要がある。即ち、第3図の物理アドレス空間34の一部を指し示す必要がある。

第4図にはそのような物理アドレスを指定するための物理アドレス生成手段が示される。MMU（メモリマネージメントユニット）イネーブルの場合、CPU1からPREF命令またはOCBWB命令と共にオペランドバス20に発行された仮想アドレスは、OTLB9によって物理アドレスに変換される。この物理アドレスがPREF命令の場合転送元アドレスに、OCBWB命令の場合転送先アドレスになり、転送が行われる。

キャッシュ・内部メモリ制御部11内のレジスタに初期設定されるMMU動作情報に基づき出力されるMMU信号がディスエーブルの場合、PREF命令による転送の転送元の物理アドレスは転送元アドレスレジスタ35の値が選択される。また、OCBWB命令による転送の転送先の物理アドレスは転送先アドレスレジスタ36の値が選択される。

セクタ37は特定命令を解読した結果、その命令がPREF命令に応答するアクセスコマンドである場合にはレジスタ35の出力を選択し、OCBWB命令に応答するアクセスコマンドである場合にはレジスタ36の出力を選択するように、解読結果に基づくコマンド信号により制御される。セクタ38は前記MMU信号がディスエーブルの場合にセクタ37の出力を選択し、イネーブルの場合にOTLB9の出力を選択する。

このように、プリフェッチ命令、ライトバック命令を流用する特定命令はプリフェッチ命令、ライトバック命令と同じオペレーションコードを有する。そのオペレーションコードがキャッシュメモリの操作として作用するか、内部メモリに対する操作として作用するかは命令実行時にCPU1の汎用レジスタにより与えられる仮想アドレスで決まる。要す

るに、アドレスフィールドF L D 2がキャッシュ対象エリア（キャッシュ
ャブルエリア）を指定すれば前者であり、アドレスフィールドF L D 2
がキャッシュ非対象エリア（ノンキャッシュャブルエリア）を指定すれば
後者となる。C P Uはその特定命令を解読するとその解読結果に応じて、
5 内部メモリ5のブロック転送制御が可能なブロック転送制御部12に
ブロック転送制御のアクセスコマンドを発行する。

ブロック転送制御において転送元及び転送先アドレスの先頭アドレ
ス以外のアドレスはブロック転送制御部12の内部でインクリメント
若しくはデクリメントされて生成される。

10 第5図にはP R E F命令による外部メモリから内部メモリ5への転
送動作のタイミングチャートが示される。本実施例では、例えばデータ
転送ブロックサイズを32バイト、各バス幅を64ビットとして説明す
る。

内部メモリ5を指し示す仮想アドレスを伴ったP R E F命令がC P
15 U 1により実行されると、C P U 1はオペランドバス20にP R E Fコ
マンドを発行する。これを受けるブロック転送制御部12はB I C 6経
由でシステムバス22に32バイトのブロックリードコマンドL D 3
2を発行する。その後リードデータが返って来たところで内部メモリ5
に書き込む。ここでP R E F命令はブロック転送の起動をかけるだけで
20 あり、実際のデータ転送中、C P U 1は後続命令を実行可能である。

第6図にはO C B W B命令による内部メモリ5から外部メモリへの
転送動作のタイミングチャートが例示される。

内部メモリ5を指し示す仮想アドレスを伴ったO C B W B命令がC
P U 1により実行されると、C P U 1はオペランドバス20にO C B W
25 Bコマンドを発行する。このコマンドを受けるブロック転送制御部12
は内部メモリ5から転送データの読み出しを行う。その後B I C 106

經由でシステムバス 22 に 32 バイトのブロックライトコマンド ST 32 を発行する。ここで OCBWB 命令はブロック転送の起動をかけるだけであり、実際のデータ転送中、CPU 1 は後続命令を実行可能である。

- 5 このブロックデータ転送制御部 12 による内部メモリ 5 と外部との間のブロックデータ転送制御機能により、内部メモリ 5 と外部メモリとの間のデータ転送を高速化できる。ブロック転送サイズを 32 バイトとすると、従来の CPU のロード／ストア命令による転送では、例えば 32 バイトのデータを転送するのに、32 ビット転送命令を 16 回（ロード 8 回、ストア 8 回）実行することが必要だったのに対し、PREF 命令又は OCBWB 命令の 1 命令で転送可能となる。そのようなブロック転送に DMAC 13 を必要としないから、転送量の多少に拘わらず同期化のオーバーヘッドは大きくならない。したがって、CPU 1 によってアクセス可能な内部メモリ 5 と外部メモリとの間のデータ転送を高速化、高効率化することができる。第 1 図の例では外部メモリは RAM 26 又は ROM 25 とされる。
- 10
- 15

- また、前記ブロック転送を起動する為の PREF 命令や OCBWB 命令は、キャッシュメモリ 4, 7 に対するオペレーションと、内部メモリ 5 と外部とのデータ転送に対するオペレーションとでオペレーションコードが同一であり、更に、仮想アドレスと物理アドレスの対応づけが通常の外部メモリに対するのと同じように TLB を利用するから、プログラム作成時に、オペランドキャッシュメモリ 7 を利用するか、内部メモリ 5 を利用するかの選択が容易である。その選択は、プログラムがアクセスする仮想アドレスをキャッシュアブルエリア或いはノンキャッシュアブルエリアの何れかに設定するだけで済むからである。プログラムデバグ或いはシステムデバグの結果に従ってプログラムがアクセス
- 20
- 25

する仮想アドレスをキャッシュابلエリアとノンキャッシュابلエリアとの間で変更することも簡単である。

第7図には記憶領域を2ページに分けた内部メモリ105の構成が例示される。2ページに分けられるとは、並列アクセス可能な2個のメモリブロックに分けられるという意味である。第7図の例では、内部メモリ5はページ0を構成するメモリブロックPG0、ページ1を構成するメモリブロックPG1の二つに分かれ、独立にアクセス可能である。DEC0、DEC1はアドレスデコーダ、40、41は入力バスアドレスセクタ、42、43は書き込みバスセクタ、44、45は読み出しバスセクタである。それぞれのメモリブロックPG0、PG1に対しては、命令バスアドレス21A、オペランドバスアドレス20A、ブロック転送制御部12からのアドレス12A、BIC6からのアドレス6Aによるアクセスが可能であり、書き込みデータはオペランドバス20からのデータ20WD、ブロック転送制御部12からのデータ12WD、BIC6からのデータ6WDが書き込み可能にされ、読み出しアクセスではリードデータは命令バス21へのデータ21RA、オペランドバス20へのデータ20RD、ブロック転送制御部12へのデータ12RD、BIC6へのデータ6RDとされる。あるサイクルにどこからのアクセスが実行されるかは、キャッシュ・内部メモリ制御部11からの選択信号28RC0、28RC1、28WC0、28WC1により決定される。

このように内部メモリ5を複数のページに分けておくことにより、あるページに対してブロック転送実行中に、別のページに対してCPU1が自由にアクセスすることが可能になる。

第8図には内部メモリ5の2個のページに対する並列動作のタイミングチャートが例示される。この例ではページ1(PG1)に対してO

CBWB命令によるブロック転送を起動した後、CPU1がページ0 (PG0) に対してアクセスを行っている。図に示されるように、ページ1 (PG1) に対してブロック転送を実行中でもページ0 (PG0) に対するCPU1からのアクセスは邪魔されることなく実行可能である。

第9図にはキャッシュメモリを命令とオペランド混在のユニファイドキャッシュメモリで構成したマイクロプロセッサの要部が例示される。この例では、前記命令キャッシュメモリ4とオペランドキャッシュメモリ7をそれぞれ独立に設けるのではなく、命令とオペランド共に保持するユニファイドキャッシュ50を設ける。この場合、IFU2、LSU3はどちらもユニファイドバス51経由でアクセスを行う。命令アクセスとオペランドアクセスが同時に起こることはなくなる為、TLBもUTLB10のみで構成されている。

この例では第1図の構成に比べ、CPU1のアクセス帯域が狭くなるが、同じ容量のキャッシュメモリを用いた場合、第1図に示した分離型キャッシュメモリよりヒット率の向上が望めるほか、命令とオペランドが同一のキャッシュメモリに保持される為、命令を自己書き換えするようなプログラムの実行効率を高めることができる。その他の構成は第1図の構成と同じであり、その詳細な説明は省略する。尚、第9図では外部バスコントローラ14、及び外部バス24の図示を省略している。その他に図示を省略した回路モジュールについては必要に応じて備えればよい。

第10図には更に別のマイクロプロセッサとして、キャッシュメモリ及びTLBを搭載しない例が示される。同図に示されるマイクロプロセッサは、制御に特化したコントローラ用途など、キャッシュメモリの効果あまり期待できない場合を指向した例である。この例の場合、キャ

ッシュメモリが存在しない為、キャッシュ・内部メモリ制御部 1 1 の代わりに内部メモリ制御部 5 2 を搭載している。この場合にもブロック転送制御部 1 2 は前記プリフェッチ命令又はライトバック命令によるのと同じような特定命令によりブロック転送制御機能を実現する。

- 5 このようにキャッシュメモリを搭載しない構成でも、上記同様の効果により、内部メモリ 5 と外部メモリのデータ転送が高速化される為、高いメモリアクセス性能を得る事ができる。なおこの例では T L B も搭載していない為、本発明のブロック転送における一方の物理アドレスは常に転送元アドレスレジスタ、あるいは転送先アドレスレジスタの値となる。
- 10 他方の物理アドレスは命令のアドレス指定フィールドに基づいて指定される。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

- 15 例えば、データプロセッサのオンチップ回路モジュールは上記説明に対して省略し、或は適宜追加してよい。例えば D M A C を省略すれば内部メモリに対するアクセス性能を劣化させることなくチップ面積を小さくすることができる。また、内部バスの構成等についても適宜変更可能である。また、キャッシュメモリはインデックスが仮想アドレスで行なわれ、タグ情報の比較が物理アドレスで行われる構成に限定されない。
- 20 インデックスとタグの比較を共に仮想アドレスで行うようにしてもよい。また、仮想アドレスを用いない場合にはキャッシュメモリは物理アドレスキャッシュであってよい。また、特定命令を用いる内部メモリ 5 以外にシステムバス 2 2 に接続され通常アクセスされる別の内部メモリ
- 25 があっても良い。また、M M U のイネーブルとディスエーブルは選択可能でなくてもよい。また、T L B は I T L B , O T L B , U T L B と

して別々に機能することに限定されることなく、一つのTLBとして同様に機能を有していても良い。

産業上の利用可能性

- 5 本発明は、汎用のプロセッサや特定用途向けのプロセッサ（メディアプロセッサなど）に適用して有効であり、動画や音声などのストリーミングデータ処理を主な用途とするDSP機能を強化したプロセッサ等に好適である。本発明はその他に種々のマイクロコンピュータ等のデータプロセッサに広く適用することができる。

請 求 の 範 囲

1. CPUと、前記CPUによってアクセス可能な内部メモリと、前記CPUが発行する特定のアクセス要求に応答して前記内部メモリを一
5 の転送対象とするブロック転送制御が可能な制御回路とを有し、

前記CPUの命令セットは前記特定のアクセス要求を発行させる特定の命令を含み、当該特定の命令はアドレス指定フィールドを有し、このアドレス指定フィールドに指定されたアドレスが前記内部メモリにマッピングされたアドレスであるとき当該アドレスを前記ブロック転
10 送の転送元又は転送先の一方のアドレスとすることを特徴とするデータプロセッサ。

2. 前記ブロック転送の転送元又は転送先の他方のアドレスは、前記アドレス指定フィールドが保有する論理アドレスに対応する物理アドレスであることを特徴とする請求の範囲第1項記載のデータプロセッサ。

3. 前記ブロック転送の転送元又は転送先の他方のアドレスはレジスタが保有する物理アドレスであることを特徴とする請求の範囲第1項記載のデータプロセッサ。
15

4. 前記レジスタはCPUのアドレス空間にマッピングされていることを特徴とする請求の範囲第3項記載のデータプロセッサ。

5. 前記制御回路に接続されたバスインタフェースコントローラを有し、前記バスインタフェースコントローラは前記ブロック転送の他の転送対象に対するインタフェース制御が可能であることを特徴とする請求の範囲第2項又は第3項記載のデータプロセッサ。
20

6. キャッシュメモリを有し、前記キャッシュメモリは前記CPU、内部メモリ、及び制御回路と第1バスを共有することを特徴とする請求の範囲第1項記載のデータプロセッサ。
25

7. 前記内部メモリは前記キャッシュメモリによるキャッシュ非対象のアドレスに配置されることを特徴とする請求の範囲第6項記載のデータプロセッサ。

5 8. 前記制御回路と前記内部メモリの接続に専用化された第2バスを有し、前記第2バスは前記特定のアクセス要求に応答するデータのブロック転送に利用可能にされることを特徴とする請求の範囲第7項記載のデータプロセッサ。

10 9. 前記制御回路は前記キャッシュメモリのキャッシュヒットとキャッシュミスに対するメモリ制御が可能であることを特徴とする請求の範囲第8項記載のデータプロセッサ。

15 10. CPUの命令セットは第1のキャッシュメモリ操作命令を有し、前記第1のキャッシュメモリ操作命令は、アドレス指定フィールドで指定されたキャッシュ対象アドレスのデータをキャッシュメモリに保持させる操作を行うことを特徴とする請求の範囲第7項記載のデータプロセッサ。

20 11. CPUの命令セットは第2のキャッシュメモリ操作命令を有し、前記第2のキャッシュメモリ操作命令は、アドレス指定フィールドで指定されたキャッシュ対象アドレスにおいてキャッシュヒットである場合に当該キャッシュヒットに係るキャッシュエントリがダーティである場合に、ライトバックさせる操作を行うことを特徴とする請求の範囲第7項記載のデータプロセッサ。

25 12. 前記特定の命令は第1のキャッシュメモリ操作命令と同じオペレーションコードを有し、アドレス指定フィールドのキャッシュ非対象のアドレスをディスティネーションアドレスとすることを特徴とする請求の範囲第10項記載のデータプロセッサ

13. 前記特定の命令は第2のキャッシュメモリ操作命令と同じオペレ

ーションコードを有し、アドレス指定フィールドのキャッシュ非対象のアドレスをソースアドレスとすることを特徴とする請求の範囲第11項記載のデータプロセッサ。

5 14. 前記バスインタフェースコントローラに接続されるデータ転送制御回路を有する請求の範囲第5項記載のデータプロセッサ。

15. 前記バスインタフェースコントローラに接続される外部バス接続用の外部インタフェース回路を有する請求の範囲第14項記載のデータプロセッサ。

10 16. 第1バスに夫々接続された、CPUと、キャッシュメモリと、前記CPUによってアクセス可能であって前記キャッシュメモリによるキャッシュの非対象とされる内部メモリと、前記CPUが発行する特定のアクセス要求に応答して前記内部メモリを一の転送対象とするブロック転送制御が可能な制御回路とを有し、

15 前記CPUの命令セットは前記特定のアクセス要求を発行させる特定の命令を含み、当該特定の命令はアドレス指定フィールドを有し、このアドレス指定フィールドに指定されたアドレスが前記内部メモリにマッピングされたアドレスであるとき当該アドレスを前記ブロック転送の転送元又は転送先の一方のアドレスとすることを特徴とするデータプロセッサ。

20 17. 前記制御回路と前記内部メモリの接続に専用化された第2バスを有し、前記第2バスは前記特定のアクセス要求に応答するデータのブロック転送に利用可能にされることを特徴とする請求の範囲第16項記載のデータプロセッサ。

25 18. CPUの命令セットは第1のキャッシュメモリ操作命令と、第2のキャッシュメモリ操作命令を有し、

前記第1のキャッシュメモリ操作命令は、アドレス指定フィールドで

指定されたキャッシュ対象アドレスのデータをキャッシュメモリに保持させる操作を指示し、

前記第 2 のキャッシュメモリ操作命令は、アドレス指定フィールドで指定されたキャッシュ対象アドレスにつきキャッシュヒットである場合に当該キャッシュヒットに係るキャッシュエントリがダーティである場合に、ライトバックさせる操作を指示することを特徴とする請求の範囲第 17 項記載のデータプロセッサ。

19. 前記特定の命令は、前記第 1 のキャッシュメモリ操作命令と同じオペレーションコードが割当てられ、アドレス指定フィールドのキャッシュ非対象のアドレスをディスティネーションアドレスとする第 1 のデータ転送命令と、

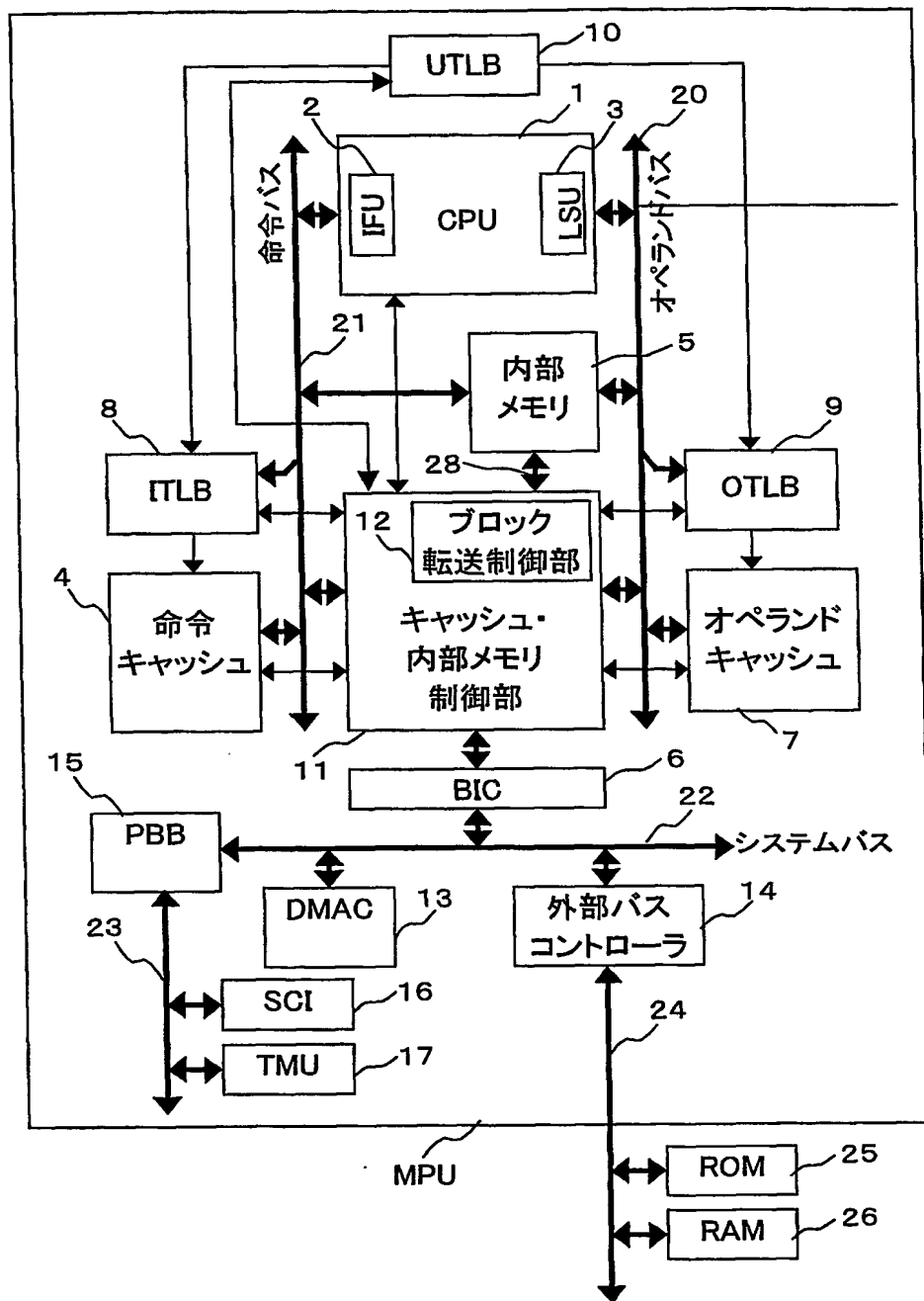
前記第 2 のキャッシュメモリ操作命令と同じオペレーションコードが割当てられ、アドレス指定フィールドのキャッシュ非対象のアドレスをソースアドレスとする第 2 のデータ転送命令とであることを特徴とする請求の範囲第 18 項記載のデータプロセッサ。

20. CPU と、CPU が発行するアクセス要求を伝達可能なバスと、前記バスに接続され前記 CPU が発行するアクセス要求に応答してメモリ動作可能な内部メモリと、前記バスに接続され前記 CPU が発行する特定のアクセス要求に応答して前記内部メモリを一の転送対象とするブロック転送制御が可能な制御回路と、前記ブロック転送の他の転送対象に対するインタフェース制御が可能なバスインタフェースコントローラとを有し、

前記 CPU の命令セットは前記特定のアクセス要求を発行する特定の命令を含み、当該特定の命令は前記ブロック転送の転送元又は転送先の一方向のアドレスを指定するアドレス指定フィールドを有することを特徴とするデータプロセッサ。

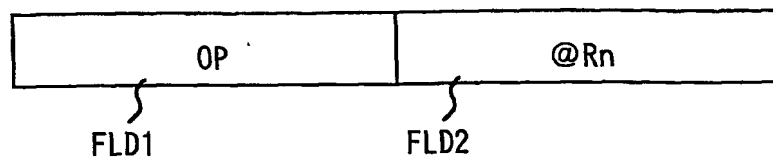
1 / 7

第1図



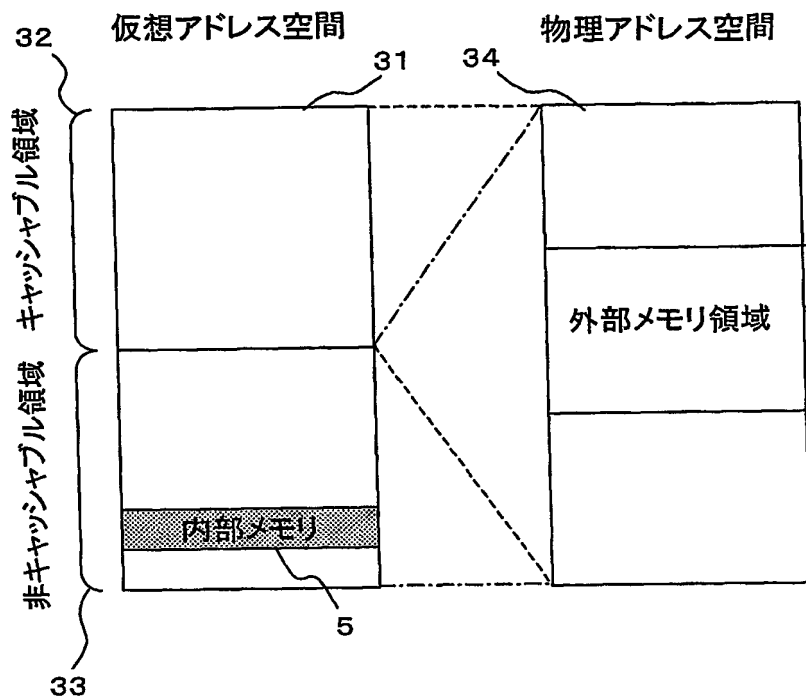
2/7

第2図

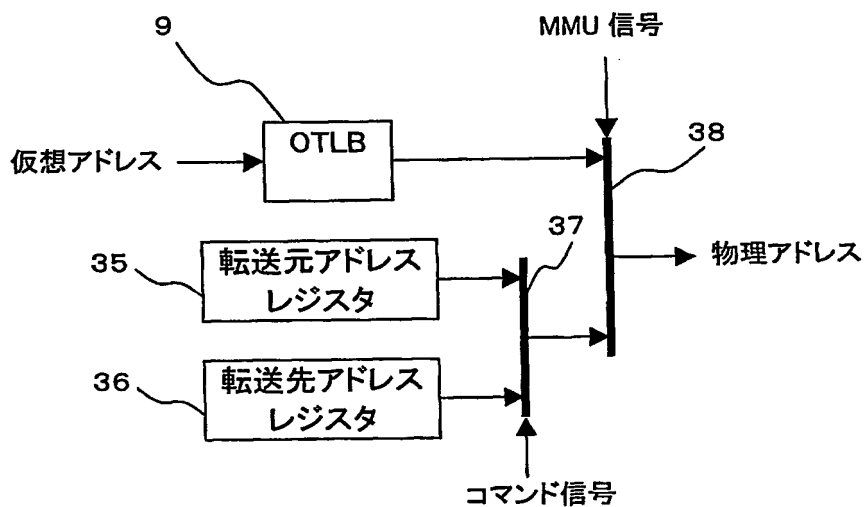


3 / 7

第3図

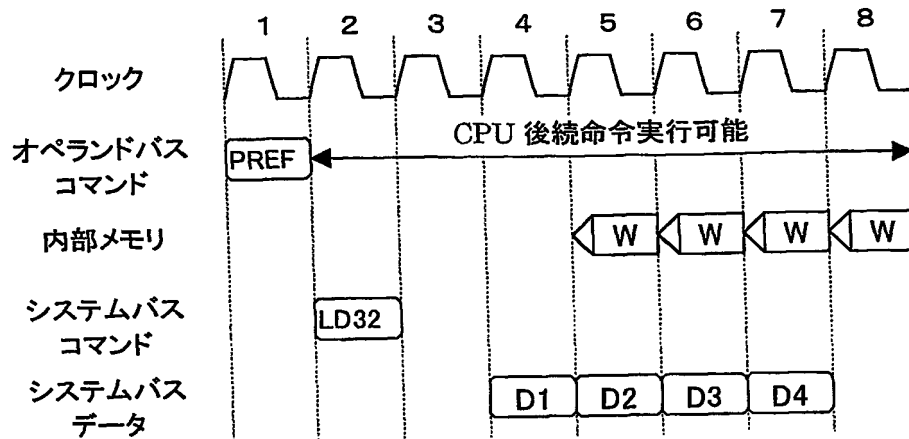


第4図

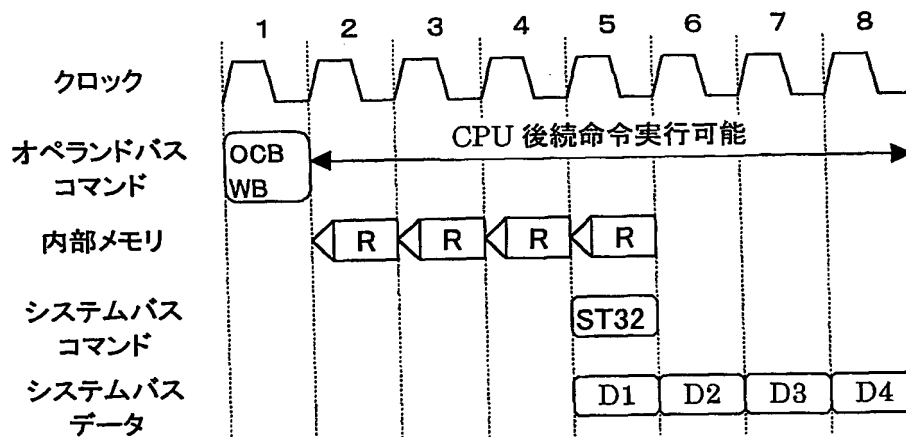


4 / 7

第5図

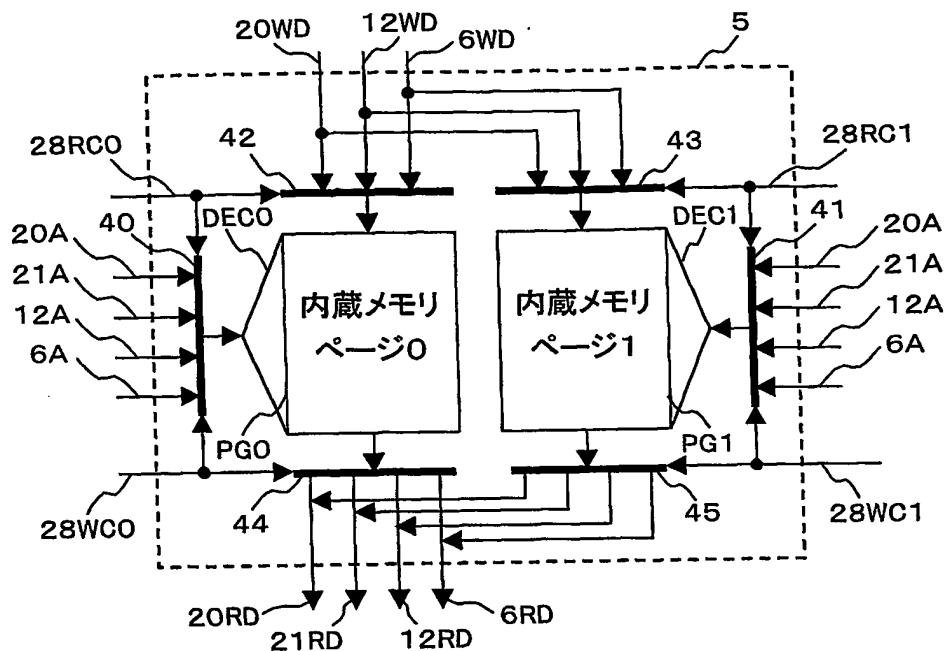


第6図

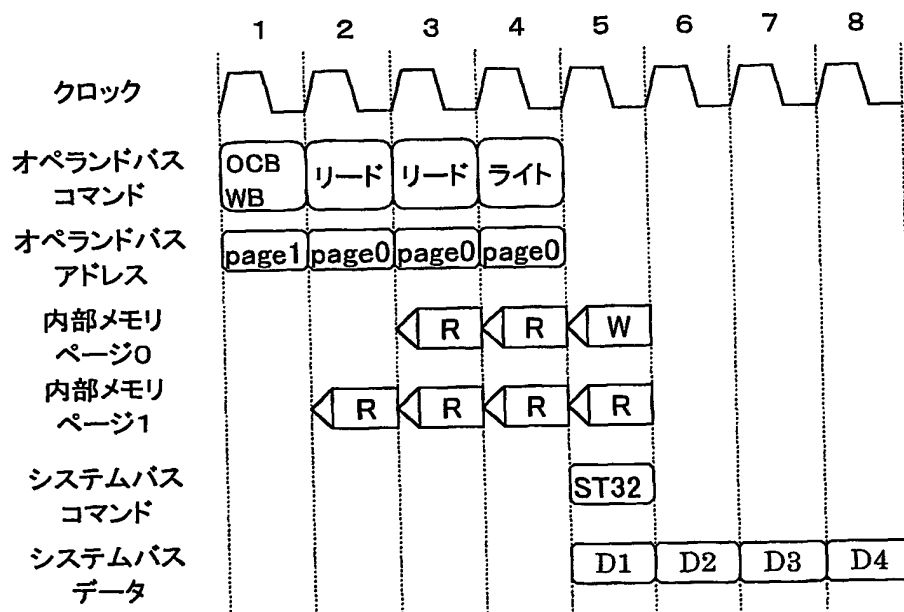


5 / 7

第7図

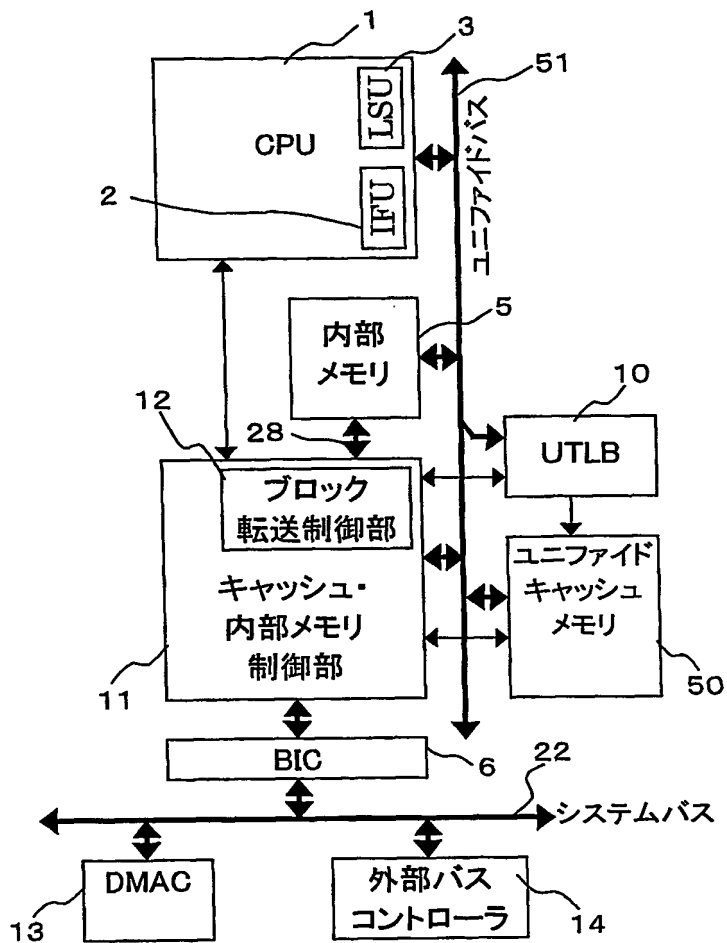


第8図



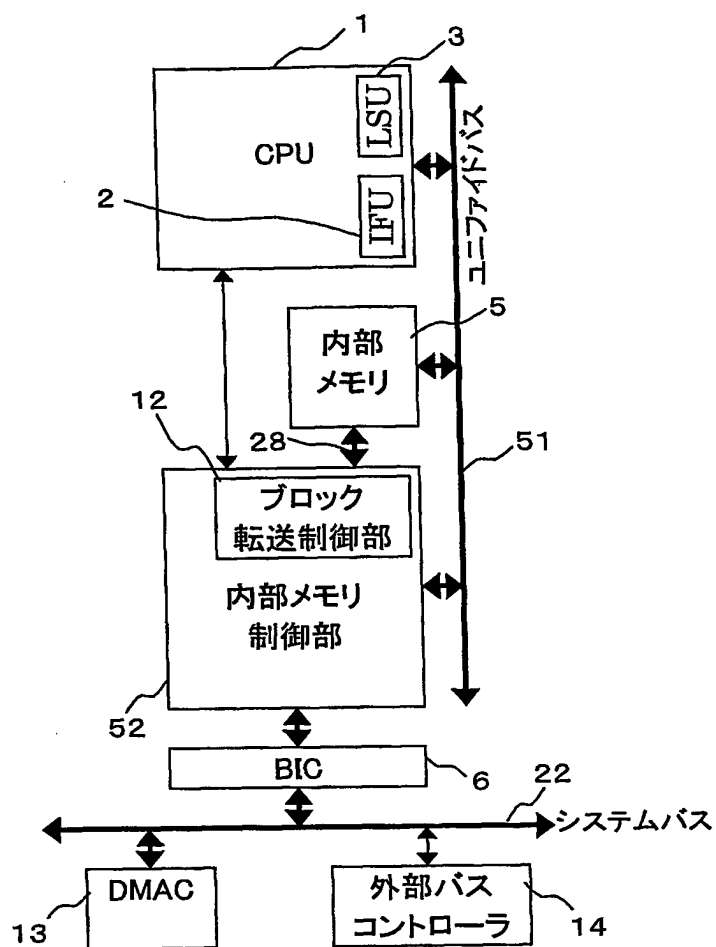
6 / 7

第9図



7/7

第10図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10161

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/30, G06F12/02, G06F12/06, G06F12/08, G06F12/10,
G06F13/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/30, G06F12/02, G06F12/06, G06F12/08, G06F12/10,
G06F13/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Makoto ISHIKAWA et al., "Keitai Tanmatsu Kiki Muke Mycon no Memory Teidenryoku Shuho", The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, 18 July, 2002 (18.07.02), Vol.102, No.234, (ICD2002 35-45), pages 1 to 6	1,3-11, 14-18,20 2,12,13,19
Y A	JP 2000-231550 A (Toshiba Corp.), 22 August, 2000 (22.08.00), Abstract; column 12, lines 14 to 24; all drawings (Family: none)	1,3-11, 14-18,20 2,12,13,19
Y A	JP 10-63502 A (Japan Science and Technology Corp.), 06 March, 1998 (06.03.98), Full text; all drawings (Family: none)	1,3-11, 14-18,20 2,12,13,19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
10 January, 2003 (10.01.03)

Date of mailing of the international search report
28 January, 2003 (28.01.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10161

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-195448 A (Hitachi, Ltd. et al.), 15 July, 1992 (15.07.92), Page 3, upper right column, line 1 to lower left column, line 1; page 6, lower right column, lines 6 to 14; Fig. 1 (Family: none)	3-5, 14, 15
Y	"SH7750 Programming Manual", Hitachi, Ltd., published on April 1998, pages 4-9, 10-128, 10-130	10, 11, 18
A	JP 2000-231549 A (Toshiba Corp.), 22 August, 2000 (22.08.00), Full text; all drawings (Family: none)	1-20
A	EP 952528 A2 (FUJITSU LTD.), 27 October, 1999 (27.10.99), Full text; all drawings & JP 11-306084 A & CN 1233022 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/30, G06F12/02, G06F12/06, G06F12/08,
G06F12/10, G06F13/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/30, G06F12/02, G06F12/06, G06F12/08,
G06F12/10, G06F13/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	石川誠 外4名, “携帯端末機器向けマイコンの内蔵メモリ低電力 手法”, 電子情報通信学会技術研究報告, 2002.07.18 Vol.102, No.234, (ICD2002 35-45), 第1頁-第6頁	1, 3-11, 14-18, 20
A		2, 12, 13, 19
Y	J P 2000-231550 A (株式会社東芝) 2000.08.22 要約, 第12欄第14行~第24行, 全図	1, 3-11, 14-18, 20
A	(ファミリーなし)	2, 12, 13, 19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.01.03

国際調査報告の発送日

28.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信

5 B

9190

電話番号 03-3581-1101 内線 3546

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-63502 A (科学技術振興事業団) 1998. 03. 06 全文, 全図 (ファミリーなし)	1, 3-11, 14-18, 20
A		2, 12, 13, 19
Y	JP 4-195448 A (株式会社日立製作所 外1名) 1992. 07. 15 第3頁右上欄第1行~左下欄第1行, 第6頁右下欄第6~14行, 第1図 (ファミリーなし)	3-5, 14, 15
Y	「SH7750 プログラミングマニュアル」, 株式会社日立製作所, 1998年4月発行, 第4・9頁, 第10・128頁, 第10・130頁	10, 11, 18
A	JP 2000-231549 A (株式会社東芝) 2000. 08. 22 全文, 全図 (ファミリーなし)	1-20
A	EP 952528 A2 (FUJITSU LIMITED) 1999. 10. 27 全文, 全図 & JP 11-306084 A & CN 1233022 A	1-20